



**PATENT**

Docket No. JCLA11476

page 1

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : CHI-HSING HSU et al.  
Application No. : 10/695,018  
Filed : October 27,2003

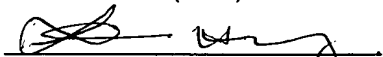
**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

February 4, 2004

(Date)

For : CHIP PACKAGE STRUCTURE

  
Jiawei Huang, Reg. No. 43,330

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92122339** filed on **August 14, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11476).

Date: 2/4/2004

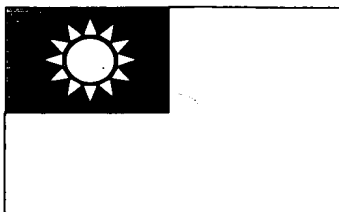
By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
Tel: (949) 660-0761

10/695.018

JCLFI 11476



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 08 月 14 日  
Application Date

申 請 案 號：092122339  
Application No.

申 請 人：威盛電子股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 11 月 12 日  
Issue Date

發文字號：09221145690  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	晶片封裝結構
	英 文	Chip Package Structure
二、 發明人 (共2人)	姓 名 (中文)	1. 許志行
	姓 名 (英文)	1. Chi-Hsing Hsu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. c/o 8F, No. 533, Chung-Cheng Rd., Hsintien, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA Technologies, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG



11476twf.pld

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 張文遠
	姓 名 (英 文)	2. Kenny Chang
	國 籍 (中 英 文)	2. 中華民國 TW
	住 居 所 (中 文)	2. 台北縣新店市中正路535號8樓
	住 居 所 (英 文)	2. c/o 8F, No. 533, Chung-Cheng Rd., Hsintien, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：晶片封裝結構)

一種晶片封裝結構，主要係由一承載器、一晶片、一被動元件、至少一第一導線、至少一第二導線以及一封膠所構成。其中，被動元件跨置於承載器之一電源接點以及一接地接點之間，而第一導線之兩端可直接連接至晶片之一接合墊以及被動元件之一接腳上，因此第一導線的長度將可有效的縮短，而訊號行經第一導線之傳輸路徑縮短，將使晶片的電氣性能提昇，且增加鄰近導線之佈線空間。此外，第二導線之一端可橫跨於被動元件之上方而銲接在承載器最外圍之一接點上。

伍、(一)、本案代表圖為：第 2A 圖

(二)、本案代表圖之元件代表符號簡單說明：

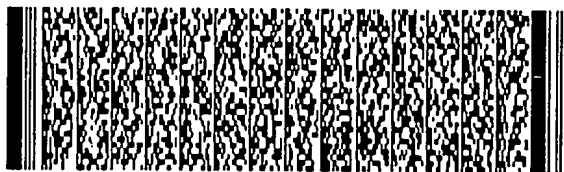
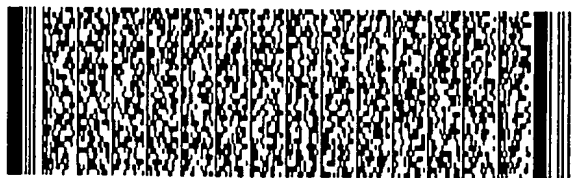
200：晶片封裝結構

210：承載器

212：晶片接合區

六、英文發明摘要 (發明名稱：Chip Package Structure)

A chip package structure is composed of a carrier, a chip, a passive component, at least one first wire, at least one second wire and an insulating material. The passive component is located between a power contact and a ground contact of the carrier, and the first wire connects a bonding pad of the chip to a terminal of the passive component. The length of the first

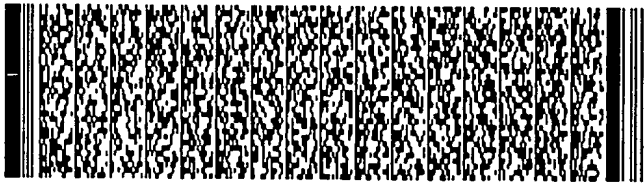


四、中文發明摘要 (發明名稱：晶片封裝結構)

214 : 接地接點  
216 : 電源接點  
218 : 訊號接點  
220 : 晶片  
222 : 背面  
224 : 主動表面  
226a、226b、226c : 接合墊  
230 : 被動元件  
232a、232b : 接腳  
234、236 : 第一導線  
238 : 第二導線  
240 : 鍍罩層  
242 : 金屬層

六、英文發明摘要 (發明名稱：Chip Package Structure)

wire will be shorten and a signal transmission path through the first wire is also shorten so as to improve the electrical performance of the chip and to increase the layout space of neighboring wires. In addition, one end of the second wire can cross over the passive component and connect to a contact on the peripheral area of the carrier.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

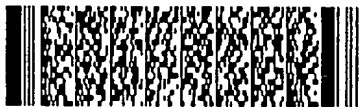
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



### 發明所屬之技術領域

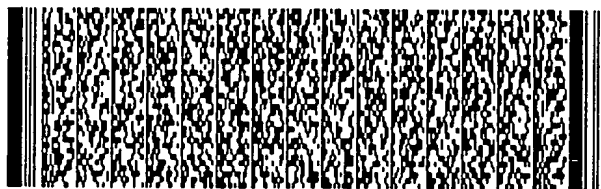
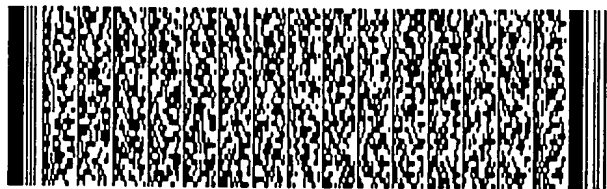
本發明是有關於一種晶片封裝結構，且特別是有關於一種具有被動元件之打線接合型態的晶片封裝結構。

### 先前技術

由於半導體技術的演進，在市場需求提高下，使得半導體產業不斷地發展出更精密、更快速的電子元件，以目前半導體封裝的技術而言，比如晶片構裝的技術、晶片載板 (chip carrier) 的製作以及被動元件 (passive component) 的組裝等，均在半導體產業中佔有不可或缺的地位。

就晶片構裝的技術而言，每一顆由晶圓 (wafer) 切割所形成的裸晶片 (die)，例如以導線接合 (wire bonding) 或覆晶接合 (flip chip bonding) 等方式，配置於一承載器 (carrier) 之表面，其中承載器例如為導線架 (leadframe) 或基板 (substrate)，而晶片具有多個接合墊，且晶片之接合墊得以經由承載器之傳輸線路及接點，而電性連接至外部之電子裝置。此外，利用打線接合之晶片，其接合墊與基板之接點電性連接之後，再形成一封膠材料將晶片、導線包覆，用以保護晶片以及導線，如此即完成一晶片封裝結構。

請參考第1A及1B圖，其中第1A圖繪示習知一種打線接合型態之晶片封裝結構的局部剖面圖，而第1B圖繪示習知一種打線接合型態之晶片封裝結構的俯視示意圖。晶片封裝結構100主要係由一承載器110、一晶片120、多條導線



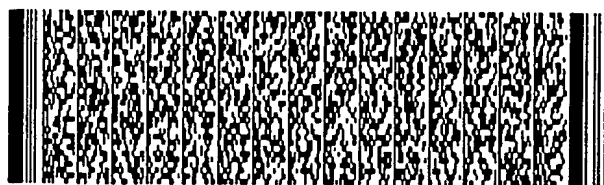
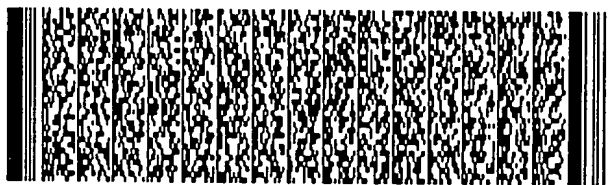


## 五、發明說明 (2)

134、136、138以及一封膠(未繪示)所構成。承載器110之表面具有一晶片接合區112，而晶片120之背面122係貼附在晶片接合區112上，且晶片120之主動表面124具有多個接合墊126，其分別對應於承載器110之表面上的接點，其中接點由內而外之順序例如為接地接點114、電源接點116以及訊號接點118等。此外，每一導線134、136、138之兩端分別連接至晶片120之接合墊126之一及其所對應之接地接點114、電源接點116以及訊號接點118上。

值得注意的是，為了有效提昇晶片封裝結構100的電氣特性，通常是利用表面黏著技術(Surface Mount Technology, SMT)將小型被動元件130貼附在承載器110之表面，用以減少訊號在切換時所產生之雜訊串音干擾(crosstalk)，並維持訊號傳輸品質。其中，被動元件130例如為電感元件(inductor)或電容元件(capacitor)，而被動元件130跨置於承載器110之電源接點116以及接地接點114之間，且被動元件130之二接腳132a、132b分別連接至電源接點116以及接地接點114。

然而，當晶片120與承載器110之間進行打線接合製程時，對應連接晶片120之接合墊126以及承載器110之電源接點116的導線136，必須先跨過被動元件130之上方，之後再銲接至電源接點116之表面上。由於導線136必須先拉長弧線，才能跨過被動元件130之上方，所以相對導致導線136本身之長度增長，而訊號行經導線136之傳輸路徑增長，將使晶片120的電氣性能降低，且影響鄰近導線之佈



### 五、發明說明 (3)

設空間。

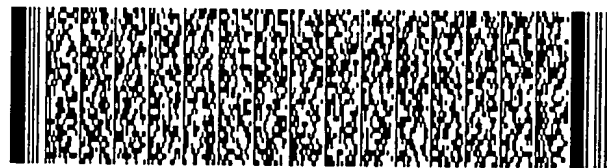
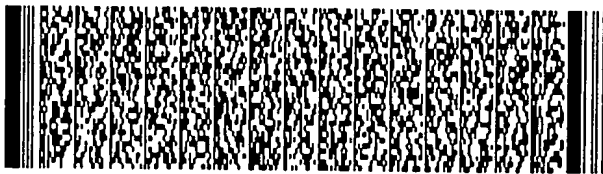
#### 發明內容

因此，本發明的目的就是在提供一種晶片封裝結構，用以縮短導線之長度，並增加導線之佈線空間。

為達本發明之上述目的，本發明提出一種晶片封裝結構，至少包括一承載器，此承載器具有一表面、一電源接點以及一接地接點，且表面具有一晶片接合區，而電源接點以及接地接點均配置於表面，且電源接點以及接地接點係位於晶片接合區之外的區域。此外，晶片係配置於承載器之表面，而晶片具有一主動表面以及對應之一背面，且晶片係以背面貼附至晶片接合區，且晶片更具有多個接合墊，其配置於主動表面。另外，至少一被動元件係跨置於承載器之電源接點以及接地接點之間，被動元件具有至少二接腳，其分別電性連接至電源接點以及接地接點。再者，至少一第一導線之兩端係分別連接至晶片之這些接合墊之一以及這些接腳之一。再者，一封膠係將晶片、被動元件以及第一導線加以包覆。

上述本發明之晶片封裝結構，其中導線之一端可直接連接至被動元件之接腳上，因此導線的長度將可有效的縮短，而訊號行經導線之傳輸路徑縮短，將使晶片的電氣性能提高，且增加鄰近導線之佈線空間。

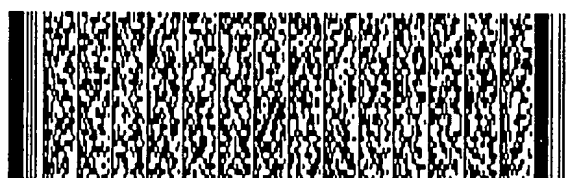
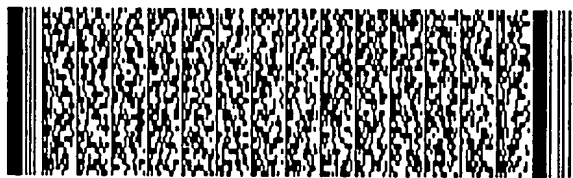
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：



### 實施方式

請參考第2A及2B圖，其中第2A圖繪示本發明一較佳實施例之一種打線接合型態之晶片封裝結構的局部剖面圖，而第2B圖繪示本發明一較佳實施例之一種打線接合型態之晶片封裝結構的俯視示意圖。晶片封裝結構200主要係由一承載器210、一晶片220、一被動元件230、多個第一導線234、236、至少一第二導線238以及一封膠（未繪示）所構成，其中承載器210例如為一基板，其表面具有一晶片接合區212，而晶片220之背面222係貼附在晶片接合區212上，且晶片220之主動表面224具有多個接合墊226，其分別對應於承載器210上之接點，這些接點例如為接地接點214、電源接點216以及訊號接點218等。在本實施例中，如第2B圖所示，其中電源接點216以及接地接點214例如位在晶片接合區212之外的同一側，且兩者例如分別由環繞於晶片接合區212之外圍的一電源環（未繪示）以及一接地環（未繪示）的局部線段所形成，而電源環的部分表面以及接地環的部分表面暴露於圖案化之一鐳罩層240之開口中，以做為連接第一導線234、236或被動元件230之用的電源接點216或接地接點214。

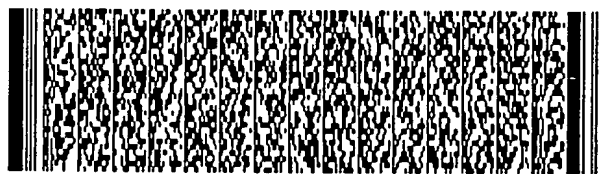
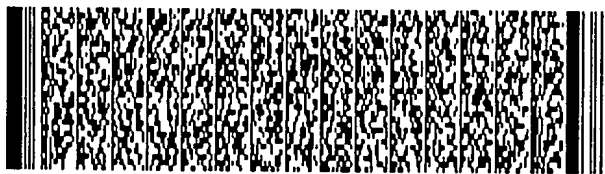
請參考第2A及2B圖，訊號接點218位於電源接點216以及接地接點214之同一側，而訊號接點218相對遠離晶片接合區212且位於電源接點216以及接地接點214之外側。此外，訊號接點218以及晶片接合區212同樣可暴露於圖案化之鐳罩層240的開口中。



#### 五、發明說明 (5)

另外，請參考第2A圖，被動元件230跨置於電源接點216以及接地接點214之間，且被動元件230具有至少二接腳232a、232b，其利用表面黏著技術（SMT）而分別銲接在電源接點216以及接地接點214之表面，用以有效抑制第一導線234、236以及第二導線238之間所產生之交互電感性耦合。其中，被動元件230例如為小型電感元件或電容元件，且被動元件230之接腳232a、232b表面還具有一金屬層242，此金屬層242例如以電鍍的方式所形成，且金屬層242之材質可為鎳、金或其他合金，用以增加後續打線製程時第一導線234、236與接腳232a、232b之間的接合性。

值得注意的是，為了縮短導線234、236之長度，本實施例直接將至少一第一導線236之一端銲接在被動元件230之接腳232a上，其中第一導線236之兩端可對應連接至晶片220之一接合墊226a以及被動元件230之遠離晶片220的接腳232a，而另一第一導線234之兩端可對應連接至晶片220之另一接合墊226b以及被動元件230之鄰近晶片220的接腳232b上或接地接點214上（圖未示）。由於外層之第一導線236不須拉長弧線以跨過被動元件230之上方，而是直接銲接在被動元件230之接腳232a上，因此外層之第一導線236的長度將可有效的縮短，而訊號行經第一導線236之傳輸路徑縮短，將使晶片220的電氣性能提高，且增加鄰近導線之佈設空間。此外，第二導線238之兩端可對應連接晶片220之又一接合墊226c以及承載器210最外圍之訊號



#### 五、發明說明 (6)

接點218，且第二導線238還可橫跨於被動元件230之上方，而不會接觸到被動元件230之任一接腳232a、232b。

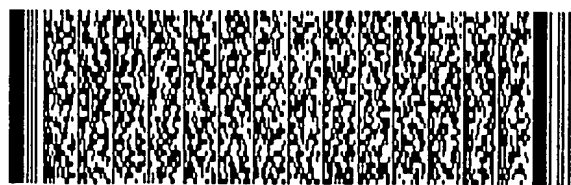
由上述之說明可知，本發明之晶片封裝結構係先跨置至少一被動元件於承載器之電源接點以及接地接點之間，且被動元件之二接腳分別電性連接電源接點以及接地接點，接著對應連接一第一導線至晶片之一接合墊以及被動元件之一接腳上，接著再對應連接一第二導線至晶片之另一接合墊以及訊號接點，之後可再形成一封膠將晶片、被動元件以及第一、第二導線包覆，用以保護晶片以及第一、第二導線，如此即可完成一晶片封裝結構。

綜上所述，本發明之晶片封裝結構具有下列優點：

(1)導線之一端可直接連接至被動元件之一接腳上，因此導線的長度將可有效的縮短，而訊號行經導線之傳輸路徑縮短，將使晶片的電氣性能提高，並增加鄰近導線之佈線空間。

(2)導線之一端可橫跨於被動元件之上方而銲接在承載器最外圍之接點上，且不會接觸到被動元件之任一接腳。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A圖繪示習知一種打線接合型態之晶片封裝結構的局部剖面圖。

第1B圖繪示習知一種打線接合型態之晶片封裝結構的俯視示意圖。

第2A圖繪示本發明一較佳實施例之一種打線接合型態之晶片封裝結構的局部剖面圖。

第2B圖繪示本發明一較佳實施例之一種打線接合型態之晶片封裝結構的俯視示意圖。

## 【圖式標示說明】

100：晶片封裝結構

110：承載器

112：晶片接合區

114：接地接點

116：電源接點

118：訊號接點

120：晶片

122：背面

124：主動表面

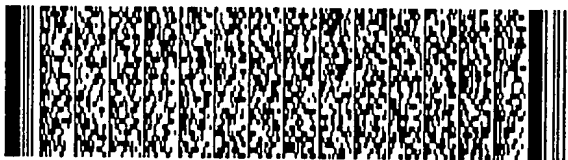
126：接合墊

130：被動元件

132a、132b：接腳

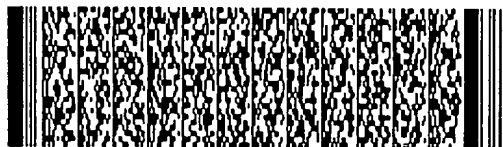
134、136、138：導線

200：晶片封裝結構



圖式簡單說明

- 210 : 承載器
- 212 : 晶片接合區
- 214 : 接地接點
- 216 : 電源接點
- 218 : 訊號接點
- 220 : 晶片
- 222 : 背面
- 224 : 主動表面
- 226a、226b、226c : 接合墊
- 230 : 被動元件
- 232a、232b : 接腳
- 234、236 : 第一導線
- 238 : 第二導線
- 240 : 鍍罩層
- 242 : 金屬層



## 六、申請專利範圍

### 1. 一種晶片封裝結構，至少包括：

一承載器，具有一表面、一電源接點以及一接地接點，且該表面具有一晶片接合區，而該電源接點以及該接地接點均配置於該表面，且該電源接點以及該接地接點係位於該晶片接合區之外的同一側；

一晶片，配置於該承載器之該表面，而該晶片具有一主動表面以及對應之一背面，且該晶片係以該背面貼附至該晶片接合區，且該晶片更具有複數個接合墊，其配置於該主動表面；

至少一被動元件，跨置於該承載器之該電源接點以及該接地接點之間，該被動元件具有至少二接腳，其分別電性連接至該電源接點以及該接地接點；

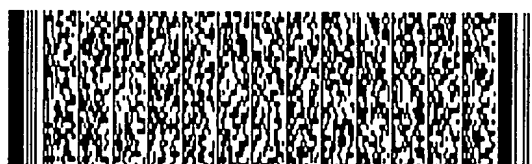
至少一第一導線，電性連接該晶片之該些接合墊之一以及該些接腳之一；以及

一封膠，包覆該晶片、該被動元件以及該第一導線。

2. 如申請專利範圍第1項所述之晶片封裝結構，其中該承載器還具有一訊號接點，而該訊號接點係位於該電源接點以及該接地接點之較遠離該晶片接合區的外側。

3. 如申請專利範圍第2項所述之晶片封裝結構，更包括至少一第二導線，其兩端分別連接至該晶片之該些接合墊之另一以及該訊號接點，且該第二導線係橫跨於該被動元件之上方。

4. 如申請專利範圍第3項所述之晶片封裝結構，其中該封膠還覆蓋於該第二導線。





## 六、申請專利範圍

5. 如申請專利範圍第1項所述之晶片封裝結構，其中該些接腳之表面具有一金屬層，而該金屬層之材質係選自於由鎳、金及該等合金所組成群組之一種材質。

6. 如申請專利範圍第1項所述之晶片封裝結構，其中該被動元件係為電感元件以及電容元件其中之一。

7. 一種打線接合封裝結構，適於將一晶片電性連接至一承載器，其中該承載器之表面具有一晶片接合區，而該晶片具有一主動表面以及對應之一背面，且該晶片係以該背面而貼附至該晶片接合區上，該打線接合封裝結構至少包括：

一電源接點，配置在該承載器之表面；

一接地接點，配置在該承載器之表面；

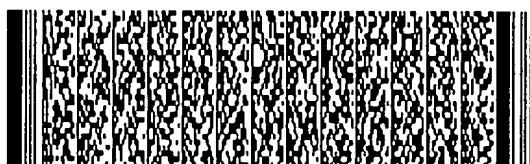
一訊號接點，配置在該承載器之表面，其中該電源接點以及該接地接點係位於該晶片接合區之外的同一側，且該訊號接點係位於該電源接點以及該接地接點之較遠離該晶片接合區的外側；

一被動元件，跨置於該承載器之該電源接點以及該接地接點之間，且該被動元件具有至少二接腳，其分別電性連接至該電源接點以及該接地接點；

複數個接合墊，配置於該晶片之該主動表面；

一第一導線，電性連接該些接合墊之一以及該些接腳之一；以及

一第二導線，電性連接該些接合墊之另一以及該訊號接點，且該第二導線係橫跨於該被動元件之上方。



#### 六、申請專利範圍

8. 如申請專利範圍第7項所述之打線接合封裝結構，其中該些接腳之表面具有一金屬層，而該金屬層之材質係選自於由鎳、金及該等合金所組成群組之一種材質。

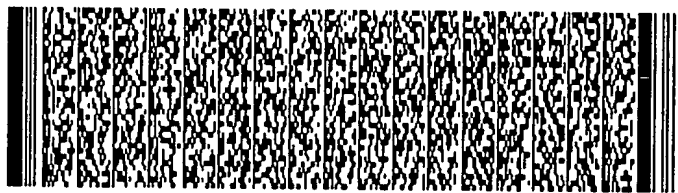
9. 如申請專利範圍第7項所述之打線接合封裝結構，其中該被動元件係為電感元件以及電容元件其中之一。

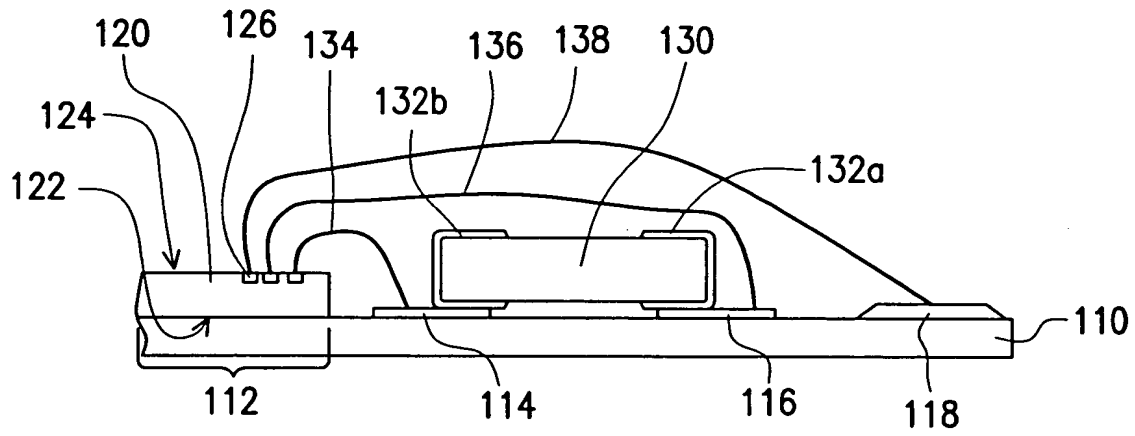
10. 一種打線接合製程，適於將一晶片電性連接至一承載器，其中該承載器之表面具有一晶片接合區，且該承載器之表面更配置至少一電源接點以及至少一接地接點，而該晶片具有一主動表面以及一背面，且該晶片係以該背面貼附至該晶片接合區，且該晶片具有複數個接合墊，其配置於該主動表面，該打線接合製程至少包括：

跨接一被動元件於該承載器之該電源接點以及該接地接點之間，其中該被動元件具有至少二接腳，其分別電性連接該電源接點以及該接地接點；以及

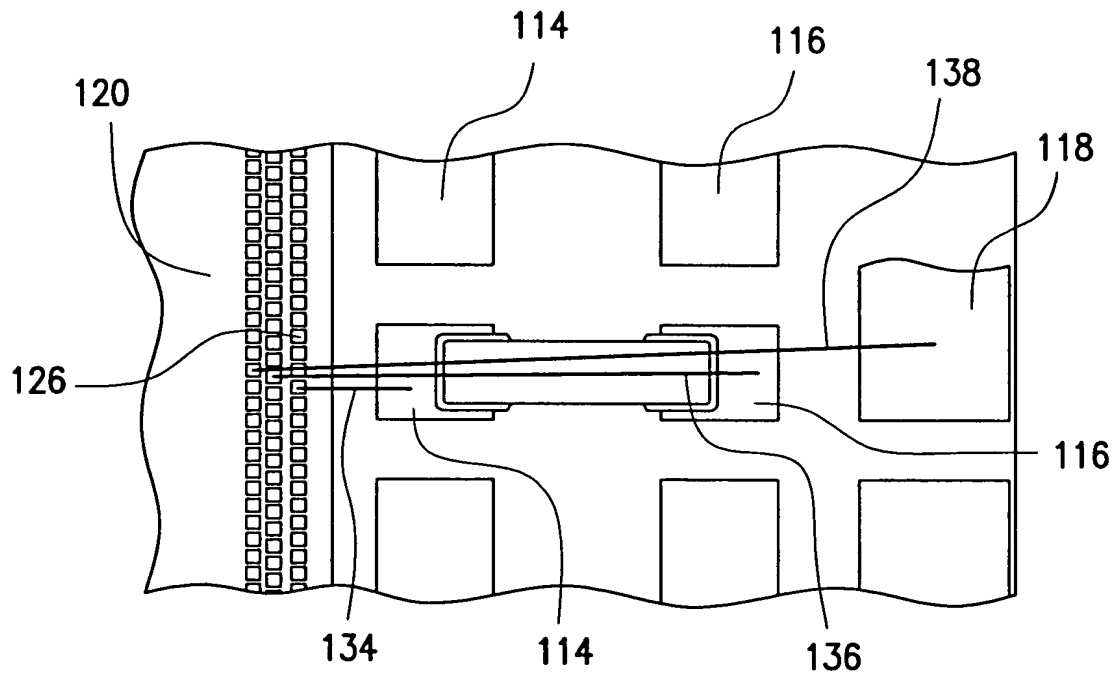
連接一導線之兩端分別至該晶片之該些接合墊之一以及該些接腳之一。

11. 如申請專利範圍第10項所述之打線接合製程，其中該被動元件係為電感元件以及電容元件其中之一。

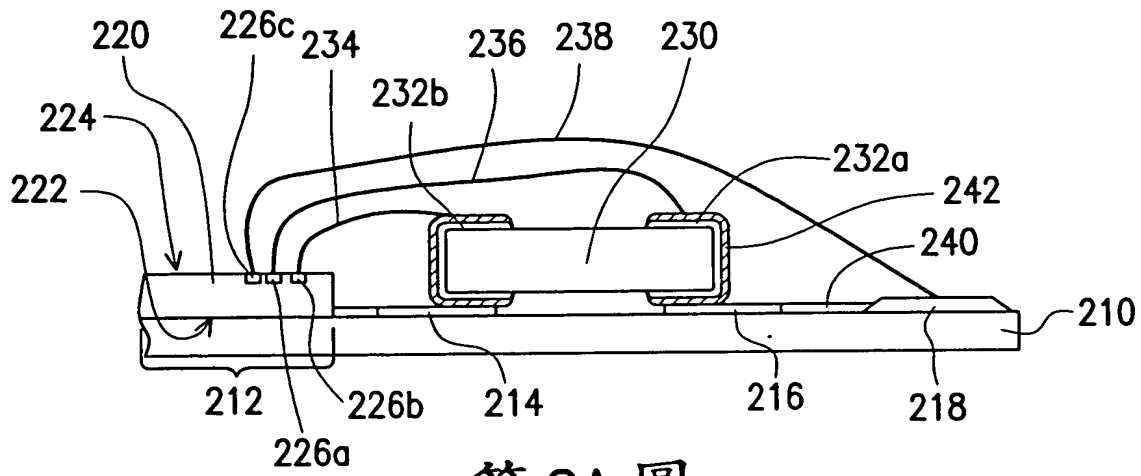




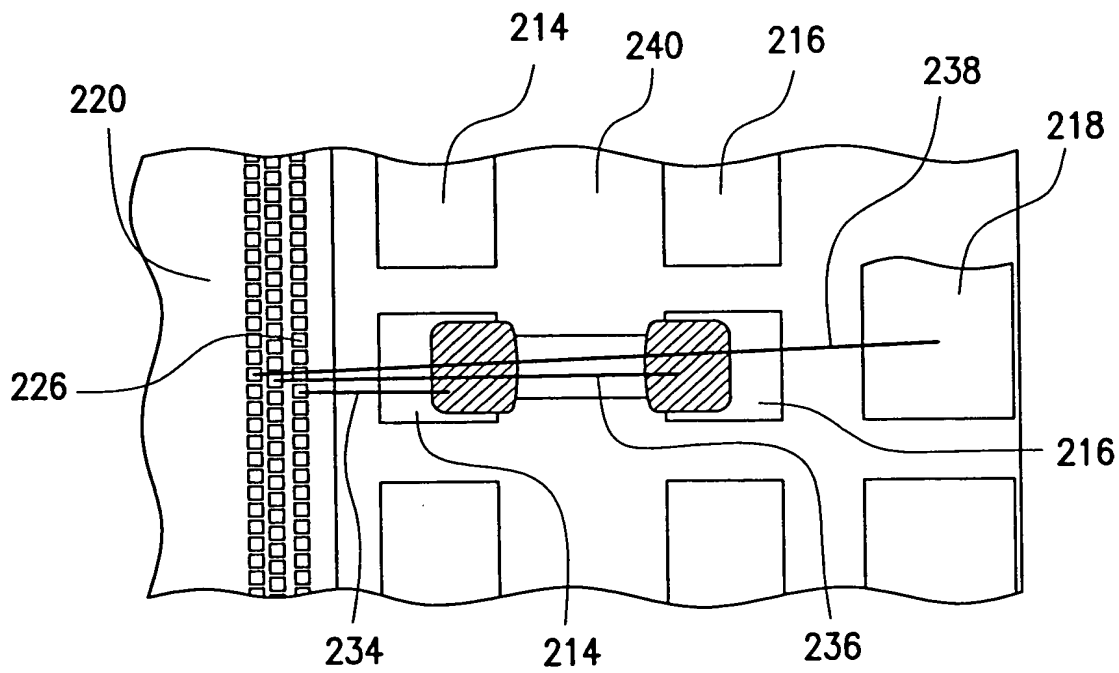
第 1A 圖



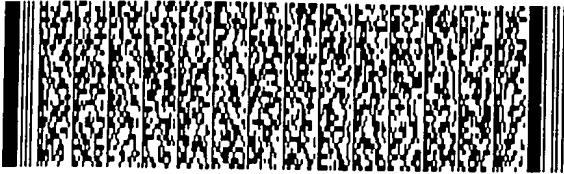
第 1B 圖



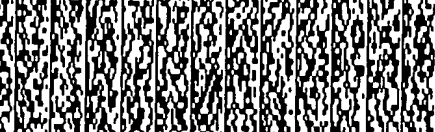




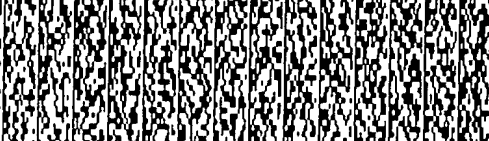

第2A圖



第2B圖

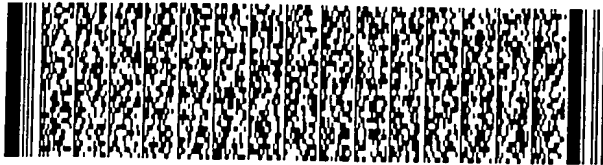


A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital graphic. The pattern consists of numerous small, irregular, and interconnected shapes, creating a complex, almost crystalline or cellular appearance. The overall effect is one of high contrast and intricate detail, with no discernible text or recognizable objects.

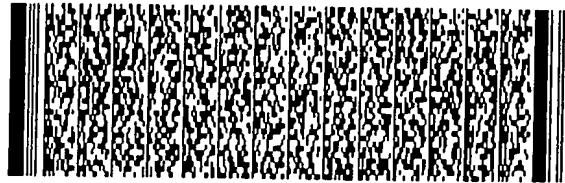


100

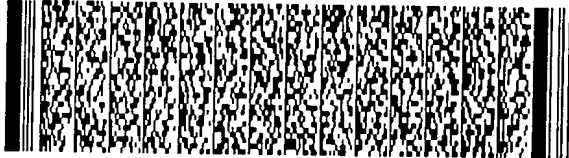
第 11/16 頁



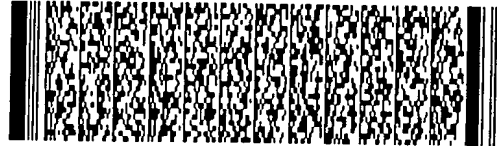
第 11/16 頁



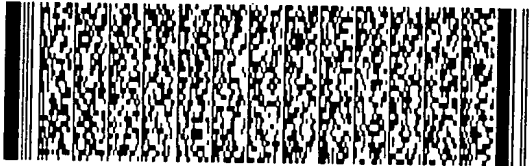
第 12/16 頁



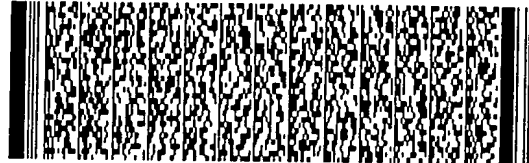
第 13/16 頁



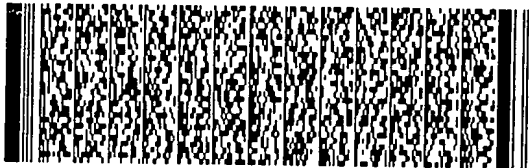
第 14/16 頁



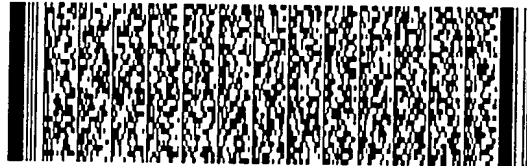
第 14/16 頁



第 15/16 頁



第 15/16 頁



第 16/16 頁

